

PATENT ABSTRACTS OF JAPAN

(43)Date of publication of application : 31.03.1995

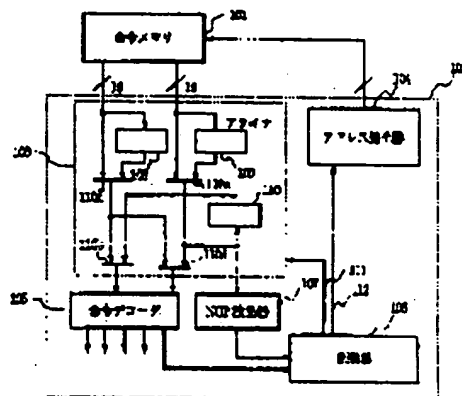
G06F 12/04

(71)Applicant : NEC CORP

(72)Inventor : SHINDO KEISUKE

(57)Abstract:

CONSTITUTION: For the output of an instruction aligner 103 for aligning the data of an instruction memory 101 inputted to the microprocessor 102, a part of the instruction to be executed next is separately outputted and whether or not it is the NOP instruction is detected by an NOP detector 10-7 parallelly to normal instruction decoding. At the time of the NOP instruction, the instruction aligner 103 and an address generator 104 connected to the instruction memory 101 are controlled so as to input the next instruction to an instruction decoder 105 further. Thus, the read of the NOP instruction inserted for aligning the instructions of the branching destination can be skipped.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-84781

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/32	3 5 0 A			
12/04	5 1 0 A	9366-5B		

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平5-226291

(22) 出願日 平成5年(1993)9月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 漁藤 啓介

東京都港区芝五丁目7番1号 日本電気株式会社社内

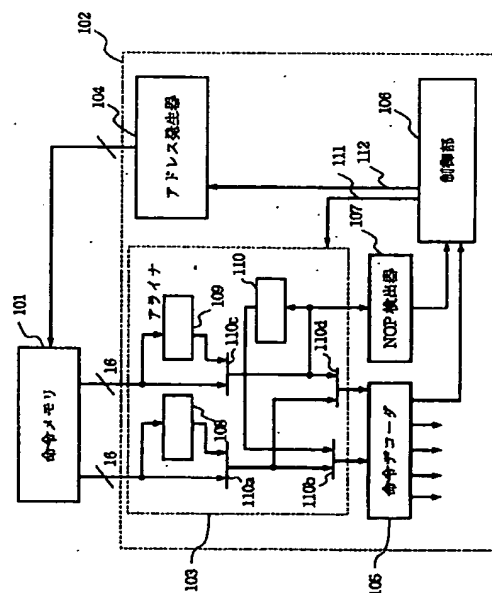
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 可変長命令を持つマイクロプロセッサに於いて、分岐動作の直後に、分岐先の命令のミスアラインで命令の実行開始が遅れるのを防ぐためのアライン専用のNOP命令が分岐以外の動作を遅らせるのを防ぐ。

【構成】 マイクロプロセッサ102に入力される命令メモリ101のデータをアラインする命令アライナ103の出力に、次に実行する命令の一部を別に出力し、それを通常の命令デコードと並行してNOP命令かどうかをNOP検出器107で検出する。NOP命令の時はさらに次の命令を命令デコーダ105に入力させるように命令アライナ103と、命令メモリ101に接続されるアドレス発生器104を制御する。これにより、分岐先の命令アラインの為に挿入したNOP命令を読み飛ばすことを可能にする。



【特許請求の範囲】

【請求項1】 命令の実行時にその命令が可変長命令で、かつ命令実行の最小アドレス単位の幅が前記命令のフェッチ幅よりも小さいときに、その命令のアドレスをその命令フェッチ幅の先頭にそろえるデータ整列を実行して出力する命令アライナと前記整列された命令アライナ出力を解読する命令デコーダと前記命令デコーダの出力信号にตอบสนองして前記命令デコーダへ供給するための次の命令を決定する制御部と命令メモリと前記命令メモリに実行アドレスを指定するアドレス発生器とを備えた情報処理装置において、前記データ整列された一方の命令アライナ出力の他に次に実行すべき命令を出力する他方の命令アライナ出力の手段と、前記他方の命令アライナ出力にตอบสนองしてノーオペレーション命令の実行を禁止する命令アドレス制御手段とを備えることを特徴とする情報処理装置。

【請求項2】 前記他方の命令アライナ出力の手段は、前記命令アライナから前記命令デコーダに供給される命令のうち下位データの情報のみが分離出力されるように構成され、前記命令アドレス制御手段は、前記分離出力された下位データの情報から前記ノーオペレーション命令か否かを判定するノーオペレーション検出器を備え、その検出結果が前記ノーオペレーション命令ならば前記制御部が前記命令アライナを制御することによって、次に実行すべき命令が前記データ整列を実行されることなく前記命令デコーダに供給されるように構成されることを特徴とする請求項1記載の情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置に係わり、特に可変長命令の実行時に実行不要な命令を読み飛ばす機能を有する情報処理装置に関する。

【0002】

【従来の技術】 従来のマイクロプロセッサにおいては、命令を実行する際に、その命令語長が命令の種類によってそれぞれ異なり（可変長命令）、かつ命令実行の最小アドレス単位の幅が命令のフェッチ幅より小さい場合には、アドレスの先頭を整列する命令アライナ（以下、単にアライナと称す）と呼ばれる特殊なハードウェアが必要となっている。マイクロプロセッサが有するこの種のアライナについては、日本電気会社編、1991年発行の「ユーザーズ・マニュアル「V60、V70、32/16ビット・マイクロプロセッサ」、アーキテクチャ編、第463頁に記載されているとおり、このマイクロプロセッサ16ビットのデータ・バス幅を有しているので、データが16ビット以上の場合、そのデータが整列しているか否かは性能に大きく影響し、特にメモリ・アクセスがパイプライン動作の待ちをつくる原因となる。そのため性能のよいソフトウェア開発のためにはできるだけデータが整列しているのがよい、としている。

【0003】 この刊行物では図示されていないが、このアライナを含むマイクロプロセッサの主要部をブロック図で示した図2を参照すると、外部にメモリ201が接続されるマイクロプロセッサ202は、命令実行の最小アドレス単位の幅が命令のフェッチ幅よりも小さいときに、その命令のアドレスをその命令フェッチ幅の先頭にそろえるデータ整列を実行して出力するアライナ203と、命令メモリ201に実行アドレスを指定するアドレス発生器204と、整列されたアライナ出力を解読する命令デコーダ205と、命令デコーダ205へ供給する次の命令を決定する制御部206とを備える。メモリ201から16ビットの上位データがアライナ203の選択回路210aに一方は直接に、他方はバッファ208を介してそれぞれ供給され、選択回路210aの出力は選択回路210bおよび210dにそれぞれ供給されている。

【0004】 同様に16ビットの下位データもアライナ203の選択回路210cに一方は直接に、他方はバッファ209を介してそれぞれ供給され、選択回路210cの出力は選択回路210dに供給され、かつバッファ207を介して210bにも供給されている。選択回路210bおよび210dの各出力は命令デコーダ205に供給され、解読された制御信号のうち所定の制御信号が制御部206に供給される。その制御信号にตอบสนองして制御出力がアライナ203およびアドレス発生器204にそれぞれ供給され、アドレス発生器204の出力はメモリ201に供給されるように構成されている。

【0005】 再び図2を参照すると、この図に示したマイクロプロセッサ202は、命令フェッチ幅は32ビットで、命令アドレスの下位2ビットは固定とする。そして、命令幅は16ビット、32ビットの2通りがあるものとする。命令メモリ201から読み出された命令は、命令アライナ203に供給される。この命令のビット長は、命令メモリの節約のために可変となっているため、読み込んだ命令は、上位の16ビットだけで一つの命令となる可能性があり、このとき、下位の16ビットは次の命令としてバッファ207に蓄えられて次の上位16ビットの命令となる。そして、命令メモリ201から次にフェッチするデータの上位16ビットはその次に読み込む命令の下位ビットとなる。

【0006】 このように、可変長命令は、16ビットと32ビットの命令の両方が自由に混在することを許すため、1つの命令がフェッチできるアドレス幅の境界にまたがって存在することがあり（ミスアライン）、一回の命令フェッチでは命令の一部のみしか取り込めず、命令実行が始まらないことがある。特にこれが分岐命令の飛び先である場合は、2回の命令フェッチを終えるまで最初の命令の実行が出来ないことになる。

【0007】 ミスアラインを起こすマイクロプロセッサの命令の配置の例を示した図3を参照すると、0022

番地への分枝で32ビット長の命令MOV313が最初に実行されるが、この命令は、命令フェッチ302と命令フェッチ303の両方にまたがっているため、両方の命令フェッチが終了するまで実行を始められない。

【0008】分枝命令で分枝をする部分は、プログラムの中のループの一部であることが多いため、全体の速度向上のためには他の部分がある程度犠牲にして速度向上を計る必要がある。そのため、分枝先の命令のアドレスを命令フェッチ幅の先頭に合わせる。そのために、中空となった命令メモリ201にノーオペレーション(NOP)命令などの動作に直接影響の無い命令を入れる。よって、ミスアラインアクセスを起こす分枝の飛び先の前にNOP命令を挿入し、ループ内の実行速度を高速化させる。

【0009】ミスアラインアクセス防止用のNOPを挿入した命令の配置の例を示した図4を参照すると、NOP命令413の挿入により、命令MOV414はアラインされる。MOV命令414への分枝の際は、命令フェッチ403の直後に命令の実行を開始できる。

【0010】このNOP命令を入れる操作は、全体的な性能の向上のためにコンパイラが自動的に行なうか、プログラマーが意図して行なう必要があり、その定量的効果を以下に示すと、NOP命令を挿入したことにより、分枝先の実行時間は、

$(\text{分枝の生起確率}) \times (\text{ミスアラインの確率}) \times (\text{命令フェッチ一回分})$

だけ短縮される。特に分枝の生起確率はループなどの効果で大きい。ここで、NOP命令の挿入のペナルティを考えると、NOP命令の挿入により一命令の実行時間が加算される。これは、

$(\text{分枝先を通る確率}) \times (\text{ミスアラインの確率}) \times (\text{NOP命令の実行時間})$

だけの時間の増加となる。

【0011】また、NOP命令はフェッチ幅の半分なので、全体の命令フェッチの回数も0.5回分増えることになる。しかし、分枝命令など、フェッチした命令の残りの半分を実行せず捨ててしまう様な命令が実行されれば、フェッチ数の増加はなくなる。よって、そのフェッチが無効になる確率より、

$(\text{分枝先を通る確率}) \times (\text{ミスアラインの確率}) \times (\text{分枝命令がフェッチした命令を全て使用する確率}) \times (\text{一回のフェッチ時間})$

だけ時間の増加となる。統計的には、

(1) 分枝の生起確率: 0.1/1クロック

(2) 分枝先の命令のミスアラインの確率: 0.5

(3) 命令フェッチ一回: 2クロック

(4) 分枝先の通過の確率: 0.05/1クロック

(5) 分枝命令がフェッチした命令を全て使用する確率: 0.5

として、 $0.1CPI - 0.025CPI - 0.025$

$CPI = 0.05CPI$ となる。

【0012】ここでCPI(cycle per instruction)は1命令あたりのクロック数を示す。

【0013】

【発明が解決しようとする課題】NOP命令を挿入することにより分枝先の命令は常にアラインされることになり、ループなどの動作の高速化を図ることが出来る。しかし、分枝のレベルが深くなると逐次的に分枝先にたどりついた場合、NOP命令の実行により実際の動作には関係のない時間の遅れが生じるという欠点を有する。

【0014】本発明の目的は、上述の欠点を鑑みなされたものであり、可変長命令をもつマイクロプロセッサにおいて、分枝命令の直後に、分枝先のミスアライン処理による命令の実行開始の遅れを防ぐためのミスアライン処理専用のNOP命令が、分枝動作以外の動作を遅らせるのを防止することにある。

【0015】

【課題を解決するための手段】本発明の情報処理装置は、命令の実行時にその命令が可変長命令で、かつ命令実行の最小アドレス単位の幅が前記命令のフェッチ幅よりも小さいときに、その命令のアドレスをその命令フェッチ幅の先頭にそろえるデータ整列を実行して出力する命令アライナと前記整列された命令アライナ出力を解読する命令デコーダと前記命令デコーダの出力信号にตอบสนองして前記命令デコーダへ供給するための次の命令を決定する制御部と命令メモリと前記命令メモリに実行アドレスを指定するアドレス発生器とを備えた情報処理装置において、前記データ整列された一方の命令アライナ出力の他に次に実行すべき命令を出力する他方の命令アライナ出力の手段と、前記他方の命令アライナ出力にตอบสนองしてNOP命令の実行を禁止する命令アドレス制御手段とを備えることを特徴とする。

【0016】また、前記他方の命令アライナ出力の手段は、前記命令アライナから前記命令デコーダに供給される命令のうち下位データの情報のみが分離出力されるように構成され、前記命令アドレス制御手段は、前記分離出力された下位データの情報から前記NOP命令か否かを判定するNOP検出器を備え、その検出結果が前記NOP命令ならば前記制御部が前記命令アライナを制御することによって、次に、実行すべき命令が前記データ整列を実行されることなく前記命令デコーダに供給されるように構成されることを特徴とする。

【0017】

【実施例】次に、本発明の実施例について図面を参照しながら説明する。

【0018】図1は本発明の第1の実施例によるマイクロプロセッサを用いた回路のブロック図である。図1を参照すると、このマイクロプロセッサ102は、図2で示した従来のマイクロプロセッサ201の回路に、アラ

イナ103から命令デコーダ105に供給される命令のうち下位データの情報のみが分離出力され、この分離出力された下位データの情報からNOP命令か否かを判定するNOP検出器107をさらに加えた構成を備え、その検出結果がNOP命令ならば制御部106がアライナ103を制御することによって、次に実行すべき命令がデータ整列を実行されることなく命令デコーダ105に供給されるように構成したことが従来例と異なる。それ以外の構成要素は従来例と同一であり、構成要素に付した符号101~106と201~206、および108~112と208~212がそれぞれ対応するので、その他の構成の説明は省略する。

【0019】再び図1を参照すると、このマイクロプロセッサは一度に一命令のみをアドレス順に、上位アドレスから下位アドレスの順に実行していくものとする。

【0020】命令メモリ101は、アドレス発生器104の発生したアドレスに従い、命令をCPU102に出力する。この状態では命令は混在して存在する。次に、命令アライナ103は命令をアラインして、一命令分を命令デコーダ105に供給する。

【0021】命令デコーダ105は、命令を解釈すると同時に、命令のビット数を判定する。制御部106は、アドレス発生器104とアライナ103を制御することにより、次に命令デコーダ105に渡す命令を決定する。

【0022】以下に、アライナ103によって命令がどの様にアラインされるかを示す。

(1) アライン済みの32ビット長の1命令がフェッチされた場合は、次の命令フェッチを行ない、通常どおりに実行する。

(2) フェッチされたデータの上位に、アライン済みの16ビット長の命令がある場合は、下位の命令の実行は、下位の命令が32ビット長の可能性があるため次の命令フェッチ後に行なわれる。

(3) 上位アドレスに前の32ビット長の命令の半分が残っていた場合も(ミスアライン)、同様に下位の命令の実行は次の命令フェッチ後に行なわれる。

【0023】以上の3つの内、2番目および3番目のケース、つまり上位データのみが有効なフェッチが行なわれた時のことを考える。

【0024】このとき、フェッチされた下位データは、次に来るべき命令の上位になる。この下位データは、命令デコーダ105と並列にNOP検出器107に渡され、NOP命令であるかどうかを検出する。NOP命令

は16ビット長なので、この時点で検出が可能である。

【0025】NOPを検出した場合は、制御部は次の命令メモリ101からのフェッチデータを直接命令デコーダ105に渡す。この動作により、バッファ110dに入って次に実行されるはずのNOP命令は無視することができる。

【0026】再びアラインの為のNOPを挿入した命令の配置を示した図3を参照すると、分岐先アラインの効果は、分岐に対しては回路の変更無しに、命令の配置を変えるだけで出すことができる。しかし、アラインのために挿入したNOP命令313は、そのままでは逐次的に分岐先命令に近付いて行く時には一命令の実行時間が加算されるが、この場合は本発明により実行時間を低減できる。

【0027】

【発明の効果】以上説明したように、本発明によれば命令を逐次的に動作させた時のNOP命令はNOP検出器により無効となる。したがってNOP命令の読み取ばしによるNOP命令のペナルティは、

20 (分岐先を通る確率) × (ミスアラインの確率) × (NOP命令の実行時間)

だけ短縮される。よって従来例より更に0.025CPIの実行時間短縮を達成できる。

【0028】さらに、NOP検出器の回路規模は、単なるNOP命令の命令コードとの一致比較であるため、16ビットデコードでは10~20ゲートもあれば充分である。しかも、他のユニットの動作と並列に動作するため、回路的な速度ペナルティが極めて少ない。

【図面の簡単な説明】

30 【図1】本発明の一実施例のマイクロプロセッサを用いた回路のブロック図である。

【図2】従来例のマイクロプロセッサのブロック図である。

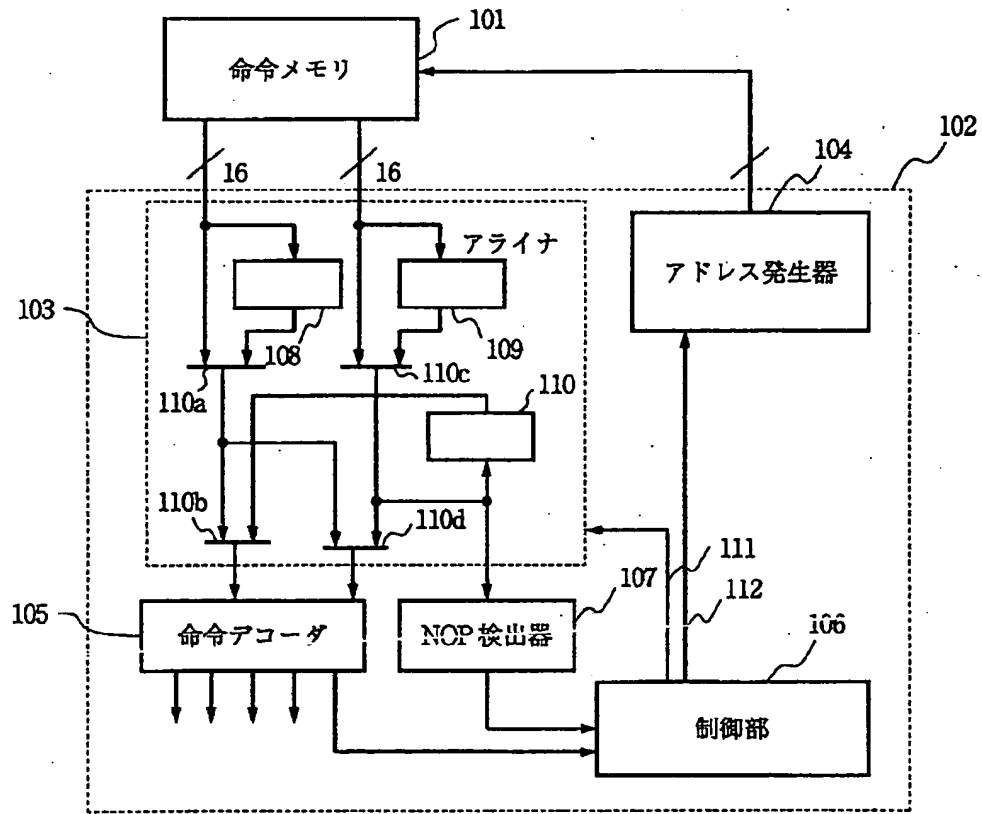
【図3】従来例および本発明における命令の配置の一例を示す図である。

【図4】従来例の命令の配置の一例を示す図である。

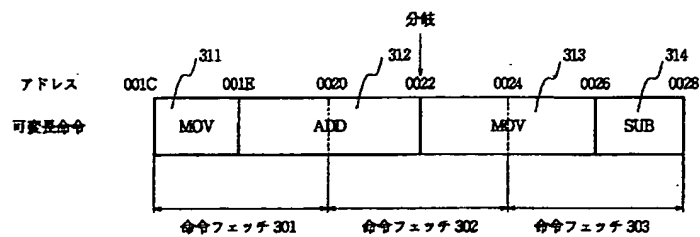
【符号の説明】

101, 201 命令メモリ
102, 202 マイクロプロセッサ
103, 203 命令アライナ
104, 204 アドレス発生器
105, 205 命令デコーダ
106, 206 制御部
107 NOP検出器

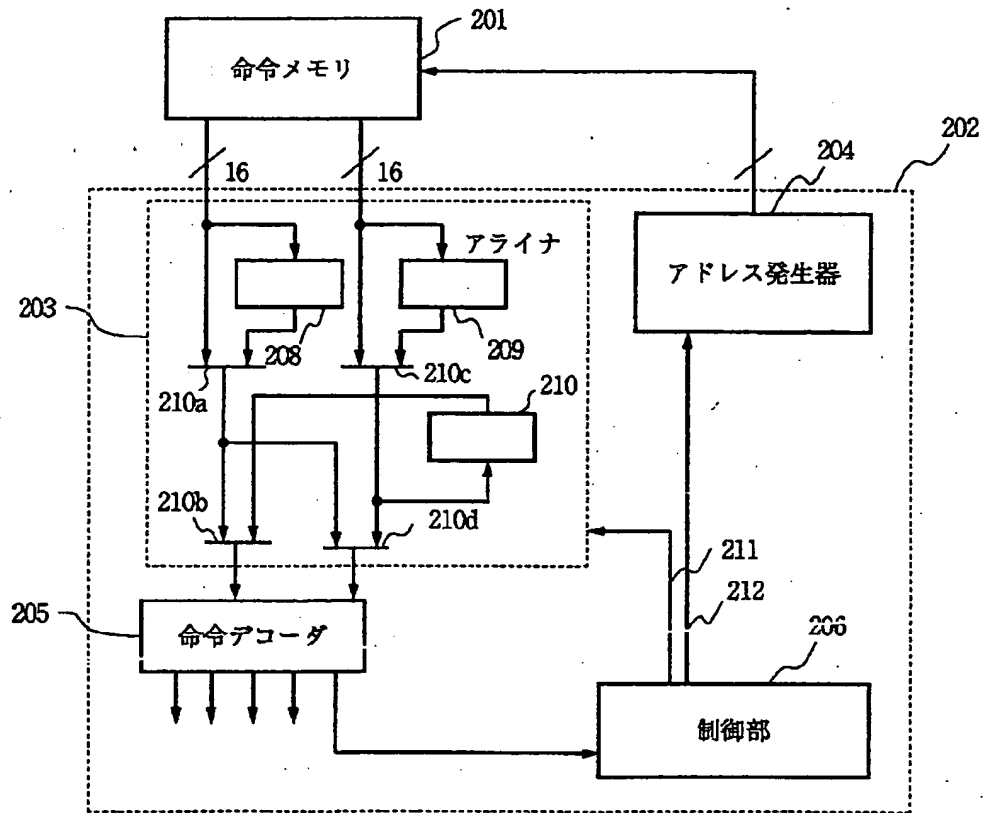
【図1】



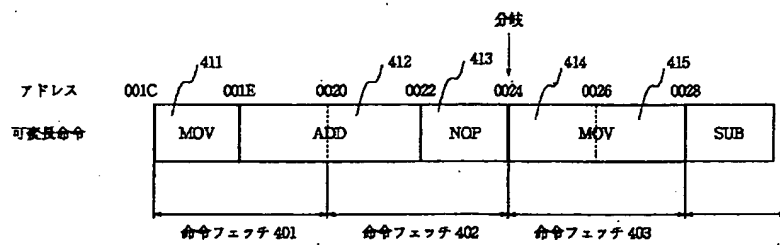
【図3】



【図2】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.